

JP10269169 A
COMPUTER SYSTEM AND BUS TRANSACTION CONTROLLING METHOD
TOSHIBA CORP

Abstract:

PROBLEM TO BE SOLVED: To reduce the occurrence of wasteful bus access due to a retry in delayed transaction.

SOLUTION: A delayed time generating circuit 160, which estimates a time required to access a low speed ISA(industry standard architecture) device designated by transaction on a PCI(peripheral component interconnect) bus 2 and generates the estimated time as a delayed time value up to a retry is provided on a PCI-ISA bridge 15 that connects the bus 2 and an ISA bus 3. The delayed time value that is generated by the circuit 160 is notified to a PCI bus master at the time of retry response. After only the delayed time value passes, the PCI bus master retries transaction again.

COPYRIGHT: (C)1998,JPO&Japio

特開平10-269169

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.*	識別記号	F I	
G 0 6 F 13/36	3 1 0	G 0 6 F 13/36	3 1 0 E

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号 特願平9-75183

(22) 出願日 平成9年(1997)3月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 国重 伸治

東京都青葉区末広町2丁目9番地 株式会社

社東芝青葉工場内

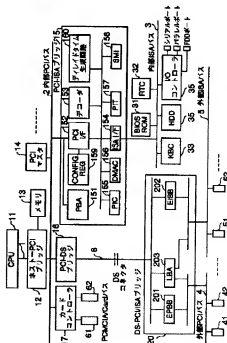
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 コンピュータシステムおよびバストランザクション制御方法

(57) 【要約】

【課題】 ディレイドトランザクションにおいて、リトライによる無駄なバスアクセスの発生を低減する。

【解決手段】 PCIバス2とISAバス3を繋ぐPCI-ISAブリッジ15には、PCIバス2上のトランザクションで指定された低速ISAデバイスのアクセスに要する時間を予測し、その予測時間をリトライまでのディレイドタイム値として生成するディレイドタイム生成回路160が設けられている。ディレイドタイム生成回路160で生成されたディレイドタイム値は、リトライ応答時にPCIバスマスタに通知される。ディレイドタイム値だけ経過した後、再びそのPCIバスマスタによってトランザクションがリトライされる。



【特許請求の範囲】

【請求項 1】 第 1 および第 2 のバスと、これら第 1 および第 2 のバス間に接続され、前記第 1 および第 2 のバス間でトランザクションを相互に伝達するブリッジ装置とを含むコンピュータシステムにおいて、

前記ブリッジ装置は、

前記第 1 バス上のバスマスタデバイスから発行される前記第 2 バス上のデバイスをターゲットとする第 1 トランザクションにตอบสนองして、その第 1 トランザクションを所定の待ち時間経過後にリトライさせるためのリトライ要求を前記バスマスタデバイスに返送して前記第 1 バストランザクションを終結させるリトライ応答手段と、前記第 1 トランザクションにตอบสนองして、前記第 2 のバス上のデバイスをアクセスするための第 2 トランザクションを前記第 2 のバス上に発行して前記第 2 のバス上のデバイスに対するアクセスを開始するデバイスアクセス手段と、

このデバイスアクセス手段による前記第 2 のバス上のデバイスに対するアクセスが完了するまでに要する時間を予測する予測手段とを具備し、

前記リトライ応答手段は、

前記予測手段によって予測された時間経過後に前記第 1 トランザクションがリトライされるように、前記リトライ要求を返送する時、前記リトライまでの待ち時間として前記予測時間を前記バスマスタデバイスに指示する待ち時間指示手段を含むことを特徴とするコンピュータシステム。

【請求項 2】 前記第 1 バスには、トランザクションの種類を示すコマンドおよび有効データが転送されるバイト位置を示すバイトレーン信号の転送に使用されるコマンド/バイトイネーブル信号線が定義されており、前記待ち時間指示手段は、コマンド/バイトイネーブル信号線を介して、前記予測時間を前記バスマスタデバイスに通知することを特徴とする請求項 1 記載のコンピュータシステム。

【請求項 3】 前記待ち時間指示手段は、前記第 1 バス上のバスマスタデバイスと前記ブリッジ装置間に設けられたサイドバンド信号線を介して、前記予測時間を前記バスマスタデバイスに通知することを特徴とする請求項 1 記載のコンピュータシステム。

【請求項 4】 前記予測手段は、

前記第 2 のバス上のデバイスそれぞれについてそのデバイスの単位データ転送幅およびその単位データ転送に要するアクセス時間を示すテーブルと、

このテーブルを参照して前記第 1 トランザクションによって指定されたデバイスに対応する単位データ転送幅とその単位データ転送に要するアクセス時間を検出し、その検出結果と前記第 1 トランザクションで指定されたデータ転送幅とに基づいて、前記第 1 トランザクションで指定されたデバイスに対するアクセス開始からその完了

までに要する総時間を前記予測時間として決定する手段とを含むことを特徴とする請求項 1 記載のコンピュータシステム。

【請求項 5】 前記予測手段は、

前記デバイスアクセス手段によって実行されるアクセス動作の進行状況に基づいて前記総時間の値を減少するカウンタ手段をさらに具備し、

前記第 1 トランザクションによって指定されたデバイスに対応するアクセス動作中に前記第 1 トランザクションがリトライされたとき、前記待ち時間指示手段は、その時の前記カウンタ手段のカウンタ値を前記アクセスに要する時間として前記バスマスタに指示することを特徴とする請求項 4 記載のコンピュータシステム。

【請求項 6】 前記第 1 バスは、前記第 2 バスよりも高速のデータ転送レートを有する高速バスであることを特徴とする請求項 1 記載のコンピュータシステム。

【請求項 7】 第 1 および第 2 のバスを有するコンピュータシステムにおいて使用され、前記第 1 および第 2 のバス間でトランザクションを相互に伝達するブリッジ装置において、

前記第 1 バス上のバスマスタデバイスから発行される前記第 2 バス上のデバイスをターゲットとする第 1 トランザクションにตอบสนองして、その第 1 トランザクションを所定の待ち時間経過後にリトライさせるためのリトライ要求を前記バスマスタデバイスに返送して前記第 1 バストランザクションを終結させるリトライ応答手段と、前記第 1 トランザクションにตอบสนองして、前記第 2 のバス上のデバイスをアクセスするための第 2 トランザクションを前記第 2 のバス上に発行して前記第 2 のバス上のデバイスに対するアクセスを開始するデバイスアクセス手段と、

このデバイスアクセス手段による前記第 2 のバス上のデバイスに対するアクセスが完了するまでに要する時間を予測する予測手段とを具備し、

前記リトライ応答手段は、

前記予測手段によって予測された時間経過後に前記第 1 トランザクションがリトライされるように、前記リトライ要求を返送する時、前記リトライまでの待ち時間として前記予測時間を前記バスマスタデバイスに指示する待ち時間指示手段を含むことを特徴とするブリッジ装置。

【請求項 8】 第 1 バスに接続され、その第 1 バス上のトランザクションにตอบสนองして I/O デバイスを制御する I/O 制御装置において、

前記第 1 バス上のバスマスタデバイスから発行される前記 I/O デバイスをターゲットとするトランザクションにตอบสนองして、そのトランザクションを所定の待ち時間経過後にリトライさせるためのリトライ要求を前記バスマスタデバイスに返送して前記バストランザクションを終結させるリトライ応答手段と、

前記トランザクションにตอบสนองして、前記 I/O デバイス

に対するアクセスを開始するデバイスアクセス手段と、このデバイスアクセス手段による前記 I/O デバイスに対するアクセスが完了するまでに要する時間を予測する予測手段とを具備し、

前記リトライ応答手段は、

前記予測手段によって予測された時間経過後に前記トランザクションがリトライされるように、前記リトライ要求を送る時、前記リトライまでの待ち時間として前記予測時間を前記バスマスタデバイスに指示する待ち時間指示手段を含むことを特徴とする I/O 制御装置。

【請求項 9】 第 1 および第 2 のバスと、これら第 1 および第 2 のバス間に接続され、前記第 1 および第 2 のバス間でトランザクションを相互に伝達するブリッジ装置とを有し、前記第 1 バス上のバスマスタデバイスから発行される前記第 2 バス上のデバイスをターゲットとする第 1 トランザクションにตอบสนองして、前記前記第 2 バス上のデバイスをアクセスするための第 2 トランザクションが前記第 2 バス上で実行されるコンピュータシステムにおいて使用されるバストランザクション制御方法であって、

前記第 1 バス上のバスマスタデバイスから発行される前記第 2 バス上のデバイスをターゲットとする第 1 トランザクションにตอบสนองして、その第 1 トランザクションで指定されたデバイスに対するアクセスに要する時間を予測し、

その予測時間を前記第 1 トランザクションをリトライするまでの待ち時間として前記バスマスタに通知して、前記第 1 バストランザクションを終結させ、前記予測時間経過後に前記第 1 トランザクションをリトライさせることを特徴とするバストランザクション制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明はコンピュータシステムおよびバストランザクション制御方法に関し、特に 2 つのバス間を繋ぐブリッジ装置を有するコンピュータシステムおよびそのコンピュータシステムで使用するバストランザクション制御方法に関する。

【0002】

【従来の技術】 従来、パーソナルコンピュータに使用されるシステムバスとしては、ISA (Industry Standard Architecture) バスや EISA (Extended ISA) バスが主流であった。最近では、データ転送速度の高速化や、プロセッサに依存しないシステムアーキテクチャの構築のために、PCI (Peripheral Component Interconnect) バスが採用され始めている。

【0003】 PCI バスにおいては、全てのデータ転送はブロック転送を基本としており、これら各ブロック転

送はバースト転送を用いて実現されている。これにより、PCI バスでは、最大 133M バイト/秒 (データバスが 32 ビット幅の時) のデータ転送レートを実現できる。したがって、PCI バスを採用すると、I/O デバイス間、およびシステムメモリと I/O デバイスとの間のデータ転送などを高速に行うことが可能となり、システム性能を高めることができる。

【0004】 また、PCI バスを採用したシステムでは、バス間を接続するブリッジ装置が設けられている。ブリッジ装置としては、CPU のプロセッサバスと PCI バス間を接続するホスト-PCI ブリッジ、2 つの PCI バス間を接続する PCI-PCI ブリッジ、PCI バスと ISA バス間を接続する PCI-ISA ブリッジなどがある。

【0005】 これらブリッジ装置によって隔てられた 2 つのバスが同時に別々のデータ転送を行うというコンカレント処理を行うための仕組みを実現することにより、より高いシステムスループットを得ることが可能となる。特に、PCI バスとそれより低速の ISA バス間をブリッジ装置で接続した場合には、それら 2 つのバス間のコンカレント処理を行うことは重要である。そこで、PCI バス仕様においては、ディレイドトランザクションと称するメカニズムが提供されている。以下、図 8 を参照してそのディレイドトランザクションの仕組みについて説明する。

【0006】 図 8 (a) は、ディレイドトランザクションを使用しない通常のトランザクションの一例であり、PCI バス上のバスマスタ A が PCI-ISA ブリッジを介して ISA バス上の低速デバイスにアクセスする場合の様子を示している。ここで、図中、A は PCI バス上のトランザクションの開始を示し、T は PCI バス上のトランザクションの正常終了を示している。

【0007】 PCI バス上のバスマスタ A は、ISA バス上の低速デバイスに対するアクセスが終了するまで PCI バスを専有し続ける。ISA バス上の低速デバイスに対するアクセスが終了するまでの比較的長い期間、PCI バス上の他のマスタ B は PCI バスを使用することができない。これは、システムの性能低下を引き起こす原因となる。

【0008】 図 8 (b) は、ディレイドトランザクションを利用して PCI バスと ISA バス上で同時に異なるデータ転送が行われる様子を示している。図中、R は PCI バス上のトランザクションのリトライ終了を示している。

【0009】 すなわち、PCI バス上のバスマスタ A が ISA バス上の低速デバイスをアクセスするためのトランザクションを発行すると、PCI-ISA ブリッジは、フロントエンド (PCI バス) 側の処理として PCI バス上のトランザクションに対してリトライ応答し、同時に、バックエンド (ISA バス) 側では PCI バス

からのトランザクションをISAバス上に展開する。PCIバス上のバスマスタAは、PCI-ISAブリッジからリトライ応答を受け取ると、現在のバストランザクションを終結してPCIバスを一瞬開放し、そして、ある時間（ディレイドタイム）経過後、リトライ終了されたトランザクションを再度発行する。この間、PCIバスマスタBはPCIバスを使用することができる。

【0010】したがって、PCIバスマスタBによるPCIバスアクセスとPCIバスマスタAによるISAバス上のアクセスがコンカレント動作されることになる。このようなディレイドトランザクションを行うことにより、通常のトランザクションよりもPCIバスの使用効率を向上させることができる。

【0011】しかし、従来では、トランザクションをリトライするまでの待ち時間であるディレイドタイムの値はシステムで固定的に決められているため、ISAバス上のアクセスが終了する前にバスマスタAによってトランザクションがリトライされる場合がある。この場合、そのトランザクションに対しては再びリトライ応答が返され、そのトランザクションは無駄なPCIバスアクセスとなる。特に、PCIバス上の32ビットアクセスをISAバス上の連続した4回の8ビットアクセスに展開する場合に、ISAバス上のアクセスが完了するまでに多くの時間を要するため、リトライによる無駄なPCIバスアクセスが多発されることになる。

【0012】

【発明が解決しようとする課題】 上述したように、従来では、トランザクションをリトライするまでの待ち時間であるディレイドタイムの値がシステムで固定的に決められており、これが原因で、リトライによる無駄なPCIバスアクセスが発生されるという問題がある。

【0013】この発明はこのような点に鑑みてなされたものであり、トランザクションをリトライするまでの待ち時間であるディレイドタイムの値をデバイスアクセスに要する時間に応じて動的に設定できるようにし、リトライによる無駄なバスアクセスの発生を低減することが可能なコンピュータシステムおよびバストランザクション制御方法を提供することを目的とする。

【0014】

【課題を解決するための手段】 この発明は、第1および第2のバスと、これら第1および第2のバス間に接続され、前記第1および第2のバス間でトランザクションを相互に伝達するブリッジ装置を含むコンピュータシステムにおいて、前記ブリッジ装置は、前記第1バス上のバスマスタデバイスから発行される前記第2バス上のデバイスをターゲットとする第1トランザクションにตอบสนองして、その第1トランザクションを所定の待ち時間経過後にリトライさせるためのリトライ要求を前記バスマスタデバイスに返送して前記第1バストランザクションを終結させるリトライ応答手段と、前記第1トランザクシ

ョンにตอบสนองして、前記第2のバス上のデバイスをアクセスするための第2トランザクションを前記第2のバス上に発行して前記第2のバス上のデバイスに対するアクセスを開始するデバイスアクセス手段と、このデバイスアクセス手段による前記第2のバス上のデバイスに対するアクセスが完了するまでに要する時間を予測する予測手段とを具備し、前記リトライ応答手段は、前記予測手段によって予測された時間経過後に前記第1トランザクションがリトライされるように、前記リトライ要求を送送する時、前記リトライまでの待ち時間として前記予測時間を前記バスマスタデバイスに指示する待ち時間指示手段を含むことを特徴とする。

【0015】このコンピュータシステムにおいては、第1バス上のバスマスタデバイスから第2バス上のデバイスをターゲットとする第1トランザクションが発行されると、ブリッジ装置は、その第1トランザクションに対してリトライ応答を返すと共に、第2バス上のデバイスをアクセスするための第2トランザクションを開始する。リトライ応答時には、ブリッジ装置は、第2トランザクションの完了までに要する時間を予測手段によって予測し、その予測時間を、リトライまでの待ち時間としてバスマスタデバイスに指示する。これにより、予測時間経過後に第1トランザクションがリトライされるようになり、リトライによる無駄なバスアクセスの発生を低減することが可能となる。

【0016】また、好ましくは、待ち時間指示手段は、第1バスに定義されたコマンド/バイトイーナブル信号線を介して、前記予測時間をバスマスタデバイスに通知することを特徴とする。コマンド/バイトイーナブル信号線は、本来、トランザクションを開始したバスマスタによってのみ駆動されるものであるが、その駆動は、通常、ターゲットデバイスによるリトライ応答がなされる前に終了される。したがって、ブリッジ装置がリトライ応答する時にはそのコマンド/バイトイーナブル信号線は既に未使用状態であるので、このコマンド/バイトイーナブル信号線を用いることにより、専用の信号線を使用することなく予測時間をバスマスタデバイスに通知することができる。

【0017】また、好ましくは、待ち時間指示手段は、第1バス上のバスマスタデバイスとブリッジ装置間に設けられたサイドバンド信号線を介して、予測時間をバスマスタデバイスに通知することを特徴とする。このようなサイドバンド信号線を利用することにより、第1バス上のトランザクションプロトコルを何等変更することなく、予測時間をバスマスタデバイスに通知することができる。

【0018】また、予測手段には、第2のバス上のデバイスそれぞれについてそのデバイスの単位データ転送幅とその単位データ転送に要するアクセス時間とを示すテーブルを設け、前記テーブルを参照して第1トランザク

ションによって指定されたデバイスに対応する単位データ転送幅とその単位データ転送に要するアクセス時間を検出し、その検出結果と前記トランザクションで指定されたデータ転送幅とに基づいて、前記トランザクションで指定されたデバイスに対するアクセス開始からその完了までに要する総時間を前記予測時間として決定することが好ましい。これにより、例えば、第1トランザクションで指定されたデータ転送幅が32ビットで、アクセス対象のデバイスが8ビットデバイスである場合には、その8ビット転送に要する時間の4倍が予測時間として決定される。したがって、バスマスタからのトランザクションの種類とターゲットデバイスの種類との関係に従って正確なアクセス時間を予測することができる。

【0019】また、より好ましくは、前記予測手段は、前記デバイスアクセス手段によって実行されるアクセス動作の進行状況に基づいて前記総時間の値を減少するカウンタ手段をさらに備えることを特徴とする。これにより、第1トランザクションによって指定されたデバイスに対応するアクセス動作中に前記第1トランザクションがリトライされたとき、前記待ち時間指示手段は、その時の前記カウンタ手段のカウント値を前記アクセスに要する時間として前記バスマスタに指示することができる。よって、アクセス動作の進行状況に基づいてリトライまでの待ち時間を動的に変更することが可能となる。

【0020】

【発明の実施の形態】以下、図面を参照してこの発明の実施形態を説明する。図1には、この発明の一実施形態に係わるコンピュータシステムの構成が示されている。このコンピュータシステムは、ノートブックタイプまたはラップトップタイプのポータブルパーソナルコンピュータであり、そのシステムボード上には3種類のバス、つまりプロセッサバス1、内部PCIバス2、および内部ISAバス3が配設されており、またこのポータブルパーソナルコンピュータ本体のDSコネクタに接続可能なドッキングステーション（拡張ユニット）内には、外部PCIバス4と外部ISAバス5が配設されている。

【0021】システムボード上には、CPU11、ホスト/PCIブリッジ装置12、システムメモリ13、各種PCIマスタデバイス14、内部PCI-ISAブリッジ装置15、PCI-DS（DS：ドッキングステーション）ブリッジ装置16、PCカードコントローラ17、拡張I/Oデコーダ18などが設けられている。また、ドッキングステーション内には、DS-PCI/ISAブリッジ装置20、PCI拡張カードを装着できるISA拡張スロット41、42、ISA拡張カードを装着できるISA拡張スロット51、52が設けられている。

【0022】CPU11は、例えば、マイクロプロセッサ“Pentium”などによって実現されている。このCPU11

の入出力ピンに直結されているプロセッサバス1は、64ビット幅のデータバスを有している。

【0023】メインメモリ13は、オペレーティングシステム、デバイスドライバ、実行対象のアプリケーションプログラム、および処理データなどを格納するメモリデバイスであり、複数のDRAMによって構成されている。このメインメモリ13は、32ビット幅または64ビット幅のデータバスを有する専用のメモリバスを介してホスト-PCIブリッジ装置12に接続されている。メモリバスのデータバスとしてはプロセッサバス1のデータバスを利用することもできる。この場合、メモリバスは、アドレスバスと各種メモリ制御信号線とから構成される。

【0024】ホスト/PCIブリッジ装置12は、プロセッサバス1と内部PCIバス2との間を繋ぐブリッジLSIであり、内部PCIバス2のバスマスタの1つとして機能する。このホスト/PCIブリッジ装置12は、プロセッサバス1と内部PCIバス2との間で、データおよびアドレスを含むバスサイクルを双方向で変換する機能、およびメモリバスを介してシステムメモリ13をアクセス制御する機能などを有している。このホスト/PCIブリッジ装置12内には、プロセッサバス1と内部PCIバス2のバスサイクルの同期化のためのバッファが設けられている。

【0025】内部PCIバス2はクロック同期型の入出力バスであり、内部PCIバス2上の全てのサイクルはPCIバスクロックに同期して行なわれる。PCIバスクロックの周波数は最大33MHzである。内部PCIバス2は、時分的に使用されるアドレス/データバスを有している。このアドレス/データバスは、32ビット幅である。

【0026】PCIバス2上のデータ転送サイクルは、アドレスフェーズとそれに後続する1以上のデータフェーズとから構成される。アドレスフェーズにおいてはアドレス、および転送タイプが指定され、データフェーズでは8ビット、16ビット、24ビットまたは32ビットのデータが出力される。

【0027】PCIマスタデバイス14は、ホスト/PCIブリッジ装置12と同様にPCIバス2のバスマスタの1つであり、イニシエータまたはターゲットとして動作する。このPCIマスタデバイス14として実現されるデバイスは、例えばグラフィックスコントローラなどである。

【0028】内部PCI-ISAブリッジ装置15は、内部PCIバス2と内部ISAバス3との間を繋ぐブリッジLSIである。内部ISAバス3には、BIOS ROM31、リアルタイムクロック（RTC）32、キーボードコントローラ（KBC）33、HDD34、I/Oポートコントローラ35などが接続されている。

【0029】内部PCI-ISAブリッジ装置15に

は、PCIバスアービタ（PBA）151、PCIインタフェース（PCI 1/F）152、内部デコーダ153、ISAインターフェース（ISA 1/F）154、割り込みコントローラ（PIC）155、DMAコントローラ（DMAC）156、システムタイマ（PIT）157、SMI発生ロジック158、コンフィグレーションレジスタ群（CONFIG. REG）159、およびディレイドタイム生成回路160などが内蔵されている。

【0030】PCIバスアービタ（PBA）151は、内部PCIバス2に結合される全てのバスマスタ間でPCIバス2の使用権の調停を行う。この調停には、バスマスタデバイス毎に1ペアずつ割り当てられる内部PCIバス2上の信号線（バスリクエスト信号REQ#線、グラント信号GNT#線）が用いられる。

【0031】バスリクエスト信号REQ#は、それに対応するデバイスが内部PCIバス2の使用を要求していることをPCIバスアービタ（PBA）151に通知するための信号である。グラント信号GNT#は、バスリクエスト信号REQ#を発行したデバイスに、バス使用を許可することを通知する信号である。

【0032】PCIバスアービタ（PBA）151には、内部PCIバス2上の全てのバスリクエスト信号REQ#線およびグラント信号GNT#線が接続されており、バス使用権の調停はそのPCIバスアービタ（PBA）151によって集中的に制御される。

【0033】PCIインタフェース152は、内部PCIバス152との間でアドレス、データ、コマンド、および各種ステータス信号の授受を行なう。ステータス信号にはデバイスセレクト信号（DEVSEL#）も含まれており、PCIインタフェース152は、内部デコーダ153によってISAデバイスに対するアクセスが検出された時、DEVSEL#をアクティブにして、PCIバス2のランゼクションに反応する。DEVSEL#は、PCI-ISAブリッジ15がPCIバス2上で実行されたランゼクションのターゲットとして選択されたことを、そのランゼクションを開始したイニシエータに通知するための信号である。

【0034】また、PCIインタフェース152は、前述のディレイドランゼクションのためのリトライ応答をPCIバスマスタに返送する機能を有している。このリトライ応答は、PCIバス2上に定義されたターゲットリレー信号（TRDY#）およびストップ信号（STOP#）を用いて行われる。すなわち、リトライ応答時は、TRDY#がデアサートされ、STOP#がアサートされる。これにより、PCIバスマスタによる現在のランゼクションが一旦終結され、所定の時間経過後に再び同ランゼクションがリトライされる。また、PCIインタフェース152は、リトライ応答時に、リトライまでの待ち時間を示すディレイドタイム値をPC

Iバスマスタに通知する機能を有する。この通知には、PCIバス2上に定義されたコマンド/バイトイネーブル信号（C/BE# [3:0]）が利用される。

【0035】すなわち、コマンド/バイトイネーブル信号は、アドレスフーズにおいてはランゼクションタイプ（リード、ライト、I/Oアクセスサイクル、メモリアクセスサイクルなど）を示し、データフーズにおいてはデータ転送に使用する有効バイト位置を示すために使用されるものであり、本来、マスタデバイスによってのみ駆動されるものである。このコマンド/バイトイネーブル信号はターゲットがランゼクションタイプと有効バイト位置を認識した後は未使用となる。このため、本実施形態では、リトライ応答時にはコマンド/バイトイネーブル信号が未使用であることに留意し、その未使用となったコマンド/バイトイネーブル信号を、PCI-ISAブリッジ装置15からPCIバスマスタへのディレイドタイム値の通知に利用している。

【0036】内部デコーダ153は、PCI-ISAブリッジ15内蔵のデバイス（割り込みコントローラ155、DMAコントローラ156、システムタイマ157、SMI発生ロジック158、コンフィグレーションレジスタ群159）、および内部ISAバス3上のデバイス（BIOS ROM31、リアルタイムクロック32、キーボードコントローラ33、HDD34、I/Oポートコントローラ35など）それぞれを選択するためのアドレスコードを行なう。内部デコーダ153によってデコードされるのは、PCIバス2上に出力されるI/Oアドレス、メモリアドレス、コンフィグレーションアドレスである。

【0037】ISAインターフェース154は、内部ISAバス3上のメモリおよびI/OをアクセスするためのISAバスサイクルを実行する。コンフィグレーションレジスタ群159は、コンフィグレーションサイクルでリード/ライト可能なレジスタ群であり、ここには内部デコーダ153などを制御するための制御情報（例えばシステムパワーオン時にセットされる。

【0038】ディレイドタイム生成回路160は、リトライ終了されたPCIバス2上のランゼクションが再度実行されるまでの待ち時間（ディレイドタイム）を動的に設定するために使用されるものであり、PCIバス2上のランゼクションで指定されたISAデバイスに対するアクセスが完了するまでに要する時間を予測し、その予測時間をディレイドタイム値として生成する。このディレイドタイム生成回路160によって生成されたディレイドタイム値は、リトライ応答時にPCIバス2上のバスマスタに通知される。

【0039】PCI-DSブリッジ装置16は、内部PCIバス2と、DSコネクタを介してコンピュータ本体からドッキングステーションに導出されるドッキングバス6とを繋ぐブリッジLSIであり、バスサイクルを双

方向で伝達する。ドッキングバス6はPCIバス相当の信号線群を含む一種のPCIバスである。

【0040】ドッキングバス6はPCI-DSブリッジ装置16のセカンダリPCIバスであり、内部PCIバス2はPCI-DSブリッジ装置16のプライマリPCIバスである。このPCI-DSブリッジ装置16内には、内部PCIバス2とドッキングバスとのバスサイクルの同期化のためのバッファなどが内蔵されている。また、PCI-DSブリッジ装置16は、ドッキングステーションとコンピュータ本体とのホットドッキング/ホットアンドドッキング時に内部PCIバス2とドッキングバス6との間を分離するための機構としても利用されており、このPCI-DSブリッジ装置16によって活線挿抜による不具合の発生を防止する事ができる。

【0041】PCカードコントローラ17は、PCIバスマスタの1つであり、PCMCIA/Car dバス仕様様のカードスロット61、62に装着されるPCカードを制御する。

【0042】DS-PCI/ISAブリッジ装置20は、DSコネクタを介してコンピュータ本体からドッキングステーションに導出されるドッキングバス6と外部PCIバス4および外部ISAバス5とを繋ぐブリッジLSIである。このDS-PCI/ISAブリッジ装置20は、PCカードコントローラ17などと同じくPCバスマスタの1つである。

【0043】DS-PCI/ISAブリッジ装置20には、外部PCIバスブリッジ(EPBB; External PCI Bus Bridge) 201、外部ISAバスブリッジ(EIBB; External ISA Bus Bridge) 202、およびローカルバスアービタ(LBA; Local Bus Arbit er) 203が設けられている。LBA203は、外部PCIバス4上のPCI拡張カードからのバス使用要求と、外部ISAバス5上のISA拡張カードからのバス使用要求とを調整する。

【0044】次に、図2乃至図4を参照して、ディレイドタイム生成回路160を使用して行われる本実施形態のディレイドランザクションについて説明する。図2は、図1のシステムの中からディレイドランザクションに使用される要素だけを抽出して示したものであり、PCIバスマスタとして動作するホストPCIブリッジ12およびPCIマスタ14にはそれぞれリトライウェイトカウンタ121、141が設けられている。これら各リトライウェイトカウンタ121、141はリトライまでの経過時間を計数するためのダウンカウンタであり、ここには、PCI-ISAブリッジ15から通知されるディレイドタイムの値が初期設定される。そして、その初期設定されたカウンタ値はPCIクロック毎にデクリメントされ、カウンタ値がゼロになった時に、ランザクションリトライのためのシーケンスが開始され

る。

【0045】図3は、ホストPCIブリッジ12(マスタA)がISAバス3上のデバイスをターゲットとするランザクションを開始した場合におけるディレイドランザクション全体のタイミングチャートであり、また図4はそのときのPCIバスサイクルを示している。

【0046】なお、図3において、AはPCIバス上のランザクションの開始を示している。また、RはPCIバス上のランザクションのリトライ終了を示している。

【0047】以下、これら図3および図4を参照して、本実施形態のディレイドランザクションの動作について具体的に説明する。ホストPCIブリッジ12つまりバスマスタAは、図4に示されているように、PCIバス2上のフレーム番号(FRAME#)、アドレス(AD[31:0])、コマンド/バイトイネーブル信号(C/BE[3:0]#)をドライブすることにより、ISAバス3上の低速デバイスをアクセスするためのランザクション(アクセス1)を開始する。PCI-ISAブリッジ15は、そのランザクションで指定されたターゲットが自身の下のISAバス3上のデバイスであることを認識すると、DEVSEL#をアサートする。ホストPCIブリッジ12は、DEVSEL#をサンプリングすると同時に、C/BE[3:0]#のドライブを止める。

【0048】PCI-ISAブリッジ15は、PCIバス2上のランザクションで指定されたデバイスに対するアクセスが完了するまでに要する時間をターゲットデバイスの種類とランザクションの種類とに基づいてディレイドタイム生成回路160によって予測する。そして、フロントエンド(PC1バス)側の処理としてPCIバス2上のランザクションに対してリトライ応答する時に、コマンド/バイトイネーブル信号C/BE[3:0]#をドライブして、予測によって得られた時間をリトライまでのディレイドタイム(ディレイドタイム1)としてホストPCIブリッジ12に通知する。このリトライ応答と同時に、PCI-ISAブリッジ15は、バックエンド(ISAバス)側の処理としてPCIバス2からのランザクションをISAバス2上に展開して、ISAデバイスのアクセスを開始する。

【0049】ホストPCIブリッジ12は、PCI-ISAブリッジ15からリトライ応答を受け取ると、ディレイドタイムをリトライウェイトカウンタ124にセットした後、現在のバストランザクションを終結してPCIバス2を一旦開放する。そして、リトライウェイトカウンタ124のカウンタ値がゼロになると、PCIバス2の使用権を獲得した後に、リトライ終了されたランザクションを再度発行する。この間、PCIバスマスタB(PCIマスタ14)は図3に示されているようにP

C Iバス2を使用することができる。また、ホストP Cブリッジ12からトランザクションが再発行されたときには、既にISAバス3上のデバイスに対するアクセスは完了しているため、図3に示されているようにそのトランザクションはリトライされずに正常終了される。

【0050】次に、図5を参照して、P C I-ISAブリッジ15に設けられているディレイドタイム生成回路160周辺のハードウェア構成について説明する。図5に示されているように、P C I-ISAブリッジ15には、前述のP C Iインターフェース152、デコード153、ISAインターフェース154、ディレイドタイム生成回路160に加え、ISAバスシーケンサ301、およびディレイドタイムテーブル302が設けられている。

【0051】ISAバスシーケンサ301は、デコード153からのデコード結果で与えられるアクセス対象デバイスのアドレス、データ転送タイプ（リード/ライト）、データ転送幅に基づいて、ISAインターフェースによって実行されるバスサイクルを制御するものであり、そのバスサイクルの進行状況を管理している。

【0052】ディレイドタイムテーブル302には、ISAバス3上のデバイスそれぞれについてのそのデバイスの種類（8ビットデバイス、16ビットデバイス）およびそのデバイスに対する1回のバスサイクルに要するアクセス時間が登録されている。このディレイドタイムテーブル302は、デコード153からのデコード結果で与えられるアクセス対象デバイスのアドレスをインデックスとして検索され、アクセス対象のデバイスの種類とそのアクセス時間がディレイドタイム生成回路160に入力される。また、ディレイドタイム生成回路160には、デコード153からデータ転送幅も入力され、ディレイドタイム生成回路160は、これら入力値に基づいて、P C Iバスマスタによって指定されたトランザクションに対応するISAサイクルの実行に要する総時間を予測する。例えば、P C Iバスマスタからのトランザクションで指定されたデータ転送幅が32ビットで、アクセス対象のデバイスが8ビットデバイスである場合には、その8ビット転送に要する時間の4倍が予測時間として決定される。したがって、バスマスタからのトランザクションの種類とターゲットデバイスの種類との関係に従って正確なアクセス時間を予測することができる。

【0053】また、ディレイドタイム生成回路160には、予測によって得られたアクセス時間を、ISAバスシーケンサ301から与えられる現在のISAサイクルの進行状況に基づいてデクリメントするカウンタが設けられており、そのカウンタ値がディレイドタイムとしてP C Iバスマスタに通知される。この構成により、例えば、ISAバスサイクルが完了する前にトランザクションがリトライされたときは、その時のカウント値、つま

りISAバスサイクルが完了するまでの残り時間をディレイドタイムとしてP C Iバスマスタに指示することができる。よって、アクセス動作の進行状況に基づいてリトライまでの待ち時間を動的に変更することが可能となる。

【0054】図6には、同一トランザクションに対するリトライ応答でディレイドタイムが動的に変更されている様子が示されている。すなわち、P C IバスマスタAが低速ISAデバイスをアクセスするためのトランザクションを発行すると、リトライ応答時にディレイドタイム値“0020h”が通知される。P C IバスマスタAのリトライウエイトカウンタの値が“0000h”になると、P C IバスマスタAはP C Iバス2の使用権を得た後に再度トランザクションを発行する。このとき、ISAデバイスに対するアクセスは進行しているため、そのトランザクションに対するリトライ応答では、ディレイドタイム値“0008h”が通知される。この後、P C IバスマスタAのリトライウエイトカウンタの値が“0000h”になると、P C IバスマスタAはP C Iバス2の使用権を得た後に再度トランザクションを発行し、今度は、そのトランザクションが正常終了される。ここでは、遅延なく無駄なリトライサイクルが1回発生したトランザクション状況を示しているが、この場合でも、2度目のリトライまでの待ち時間の値を小さくすることができる。

【0055】図7には、コマンド/バイトイネーブル信号線ではなく、サイドバンド信号線を用いてディレイドタイムを通知する場合の構成例が示されている。図7に示されているように、ホストP C Iブリッジ12およびP C Iマスタ14とP C I-ISAブリッジ15間にはサイドバンド信号線100が設けられている。このサイドバンド信号線100は、P C I仕様において定められたバス以外の他の専用の信号線であり、P C I仕様においてはこのサイドバンド信号線を独自のバス制御の実現のために用いることが許されている。リトライ応答時に、このサイドバンド信号線100を介してディレイドタイム値をリトライ応答対象のバスマスタに通知することにより、P C I仕様で定義されたコマンド/バイトイネーブル信号のプロトコルを何等変えることなく、本実施形態のダイナミックディレイドトランザクションを実現できる。

【0056】なお、以上の説明では、P C IバスマスタがP C I-ISAブリッジ15を経由してISAデバイスをアクセスする場合を例として説明したが、リトライ応答時にアクセス時間を予測してそれをディレイドタイムとして通知するという本実施形態のダイナミックディレイドトランザクションのための仕組みは、P C I-PC Iブリッジや、各種I/Oデバイスを制御するためにP C Iバスに接続されたI/Oコントローラなどに適用することもできる。

【0057】

【発明の効果】以上説明したように、この発明によれば、トランザクションをリトライするまでの待ち時間であるディレイドタイムの値をデバースアクセスに要する時間に応じて動的に設定できるようになり、リトライによる無駄なバスアクセスの発生を低減することが可能となる。

【図面の簡単な説明】

【図1】 この発明の一実施形態に係るコンピュータシステム全体の構成を示すブロック図。

【図2】 同実施形態のコンピュータシステムに適用されるダイナミックディレイドトランザクションの仕組みを説明するための図。

【図3】 同実施形態のコンピュータシステムに適用されるダイナミックディレイドトランザクションの動作を示すタイミングチャート。

【図4】 同実施形態のコンピュータシステムに適用されるダイナミックディレイドトランザクションで使用されるPCIバスサイクルを示すタイミングチャート。

【図5】 同実施形態のコンピュータシステムに設けられたPCI-ISAブリッジの構成を示すブロック図。

【図6】 図5のPCI-ISAブリッジを使用した場合におけるダイナミックディレイドトランザクションの動作を示すタイミングチャート。

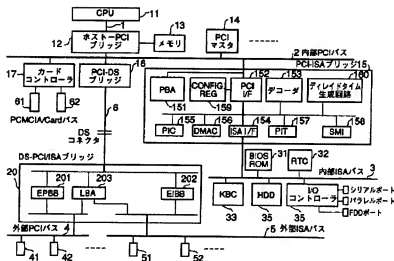
【図7】 同実施形態のコンピュータシステムにおいてサイドバンド信号線を用いてディレイドタイムを通知する場合の構成例を示すブロック図。

【図8】 従来の典型的なディレイドトランザクションを説明するための図。

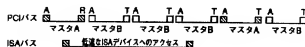
【符号の説明】

1…プロセッサバス、2…内部PCIバス、4…外部PCIバス、6…ドッキングバス、11…CPU、15…PCI-ISAブリッジ、16…PCI-DSブリッジ、201…外部PCIバスブリッジ (EPBB)、211、214…リトライウエイトカウンタ、210…ディレイドタイム生成回路、301…ISAバスシーケンサ、302…ディレイドタイムテーブル。

【図1】

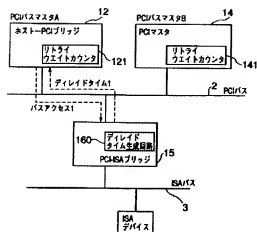


【図3】

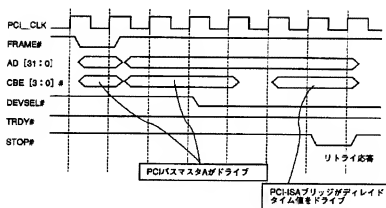


- マスタAのPCIバスアクセス
- マスタBのPCIバスアクセス
- A PCIバス上のアクセス開始
- T PCIバス上のアクセスの正常終了
- R PCIバス上のアクセスのリトライ終了

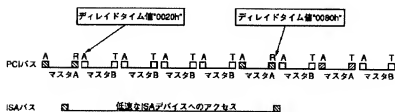
【図 2】



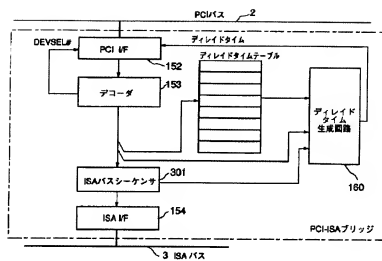
【図 4】



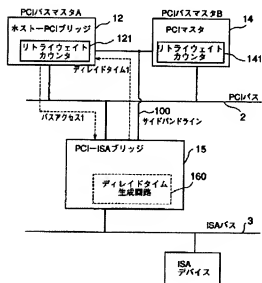
【図 6】



【図5】

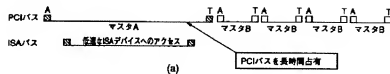


【図7】



【図 8】

(1) 通常のトランザクション



(2) デイレイドトランザクション

